|  |
| --- |
| НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ «КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ» |
| Лабораторна робота №2 |
| **З дисципліни комп’ютерна схемотехніка** |
|  |
| Виконав студент 3 курсу ФІОТ, група ІО-03 Гура Едуард |

**2012р.**

Варіант завдання

Номер залікової книжки – 0404.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| I | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 |
| O | 0 | PvQ | PQ | P-1 | PvQ | 2P | P | PQvPQ | 1 | PvQ | PQ | P+1 | P | PvQ | P |

N=(4+5)mod6+4=7

n=8+8\*6=56

k=8+5=13

j=5..13

i=(j+6)mod15=11..14,0..4



При синтезі буде корисним відокремити арифметичні та логічні функції (використавши розряд команди як ознаку), так як для логічних функцій перенос немає необхідності обчислювати. Всі арифметичні функції можливо звести до додавання.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Операція | F4 F3 F2 F1 | X | Y | C0 | Di |
| P+Q | 0 0 0 0 | P | Q | 0 | X+Y |
| P | 0 0 0 1 | P | 0 | 0 | X+Y |
| P-Q | 0 0 1 0 | P | Q | 1 | X+Y |
| P+1 | 0 0 1 1 | P | 0 | 1 | X+Y |
| - | 0 1 0 0 | - | - | - | - |
| P-1 | 0 1 0 1 | P | -1 | 0 | X+Y |
| - | 0 1 1 0 | - | - | - | - |
| 0 | 0 1 1 1 | 0 | 0 | 0 | X+Y |
| PQ | 1 0 0 0 | P | Q | 0 | XY |
| PvQ | 1 0 0 1 | P | Q | 0 | XvY |
| P(nQ) | 1 0 1 0 | P | Q | 0 | XY |
| P(nQ)v(nP)Q | 1 0 1 1 | P | Q | 0 | (X+Y)mod2 |
| - | 1 1 0 0 | - | - | - | - |
| (nP)vQ | 1 1 0 1 | nP | Q | 0 | XvY |
| (nP)(nQ) | 1 1 1 0 | nP | Q | 0 | XY |
| (nP)v(nQ) | 1 1 1 1 | nP | Q | 0 | XvY |

F4 визначає тип операції. F3 в більшості команд визначає знак P, F2 в логічних операціях визначає знак Q, F1 в логічних операціях визначає тип операції. В арифметичних операціях F2 та F1 визначає знак Q або константу, якою заміняється змінна. C0 – перенос в перший розряд.

Мінімізація функцій:



Перенос в наступні розряди виконується за формулою:

Ci+1=XiYivXiCivYiCi

Звідки ми можемо отримати, підставивши сам в себе

Ci+2=Xi+1Yi+1 v Xi+1XiYi v Yi+1CiYi v Xi+1XiCi v Yi+1XiCi v Xi+1YiCi v Yi+1YiCi

При арифметичній операції результат дорівнює сумі X та Y, при логічних необхідно виконувати окремо різні функції. Після мінімізації отримаємо:



Яку можна розділити на 4 частини: перші чотири операнда – додавання, наступний – логічне І, наступні 4 – логічне АБО, останні 2 – сума по модулю 2.

Ознака RZ – логічне або всіх виходів, SI – останній розряд результату, CO – перенос із пристрою.

Схема формування вхідного переносу C0

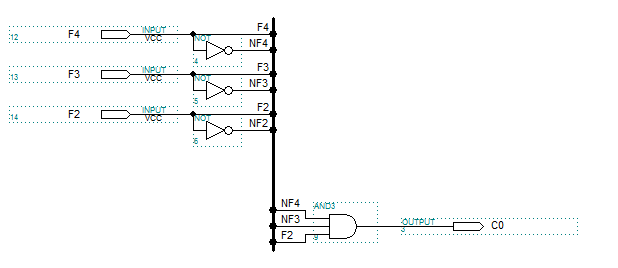


Схема формування Xi

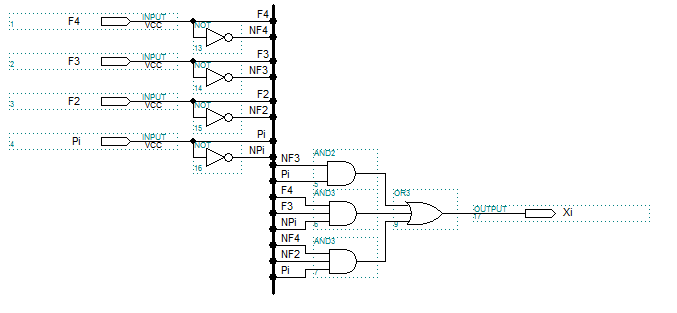


Схема формування Yi

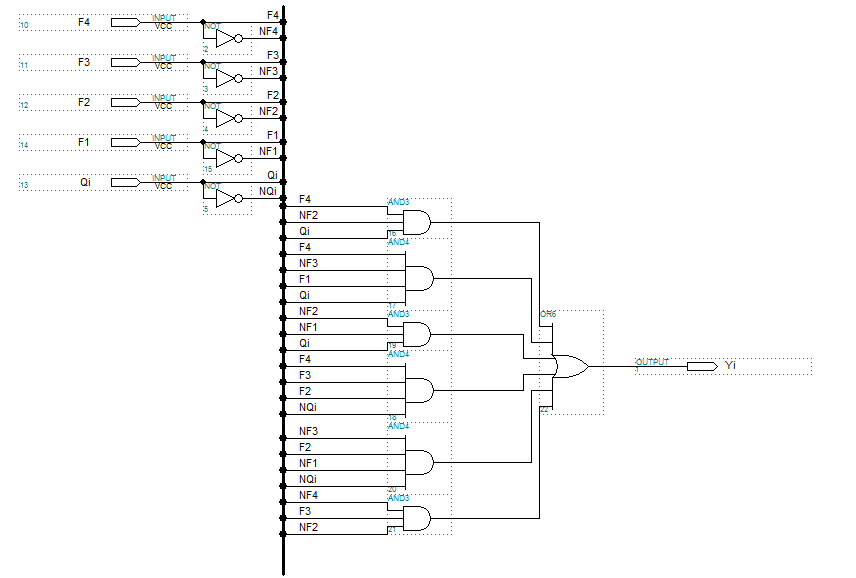


Схема формування результату

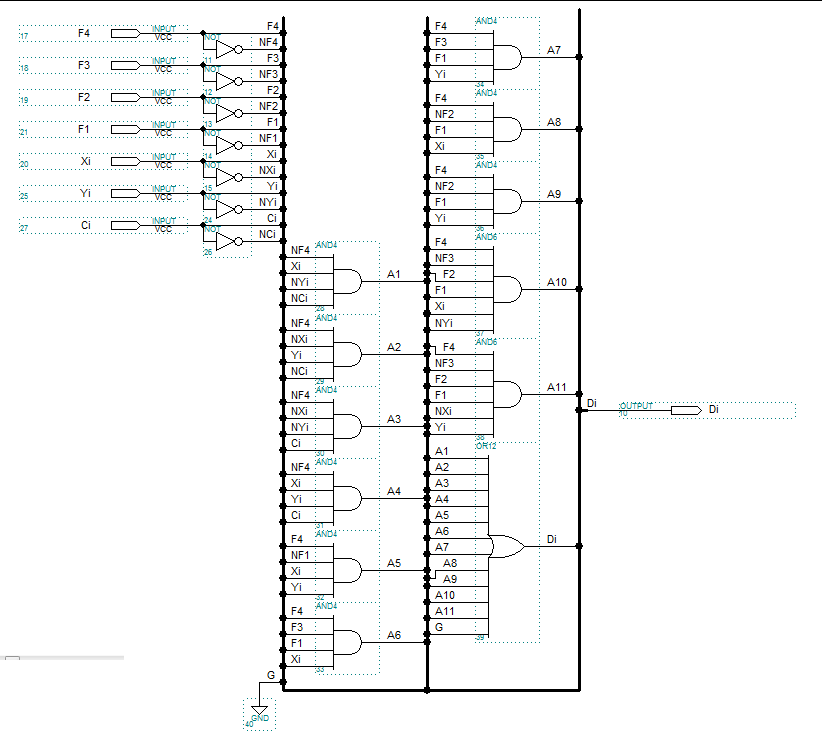
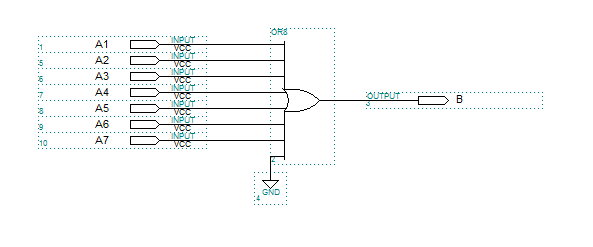


Схема формування ознаки RZ

Так як ми не можемо в одній схемі перевірити всі розряди, то ми повинні каскаду вати схеми отримання ознаки нуля, останній елемент буде інвертувати результат для отримання ознаки.

Елемент для каскадування на 7 розрядів



Кінцевий елемент для каскадування

